



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0021291  
Application Number

출원년월일 : 2003년 04월 04일  
Date of Application APR 04, 2003

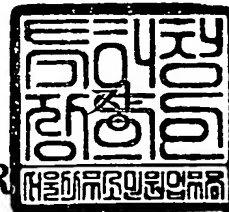
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.04.04
【발명의 명칭】	미세 패턴 형성이 가능한 반도체 장치 제조 방법
【발명의 영문명칭】	METHOD FOR FABRICATION OF SEMICONDUCTOR DEVICE CAPABLE OF FORMING FINE PATTERN
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	이성권
【성명의 영문표기】	LEE, Sung Kwon
【주민등록번호】	640301-1268621
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 현대7차아파트 706-1401
【국적】	KR
【발명자】	
【성명의 국문표기】	김상익
【성명의 영문표기】	KIM, Sang Ik
【주민등록번호】	571020-1162123
【우편번호】	463-480
【주소】	경기도 성남시 분당구 금곡동 청솔마을 유천화인아파트 203-1503
【국적】	KR

**【발명자】****【성명의 국문표기】** 이민석**【성명의 영문표기】** LEE,Min Suk**【주민등록번호】** 720815-1009119**【우편번호】** 463-010**【주소】** 경기도 성남시 분당구 정자동 상록우성아파트 305-1302**【국적】** KR**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인  
특허법인 신성 (인)**【수수료】****【기본출원료】** 20 면 29,000 원**【가산출원료】** 22 면 22,000 원**【우선권주장료】** 0 건 0 원**【심사청구료】** 0 항 0 원**【합계】** 51,000 원**【첨부서류】** 1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

본 발명은 포토레지스트 트리밍 기술의 적용이 가능하여 미세 패턴 형성이 가능하고, 비트라인 등 라인 패턴의 선폭을 줄여 후속 비트라인 절연막 증착시 갭-필 특성을 향상시킬 수 있으며, 라인 패턴의 선폭을 최소화할 수 있는 불화아르곤 포토리소그래피 공정을 이용한 반도체 장치 제조 방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 피식각층 상에 하드마스크용 절연막을 형성하는 단계; 상기 하드마스크용 절연막 상에 하드마스크용 희생막을 형성하는 단계; 상기 하드마스크용 희생막 상에 포토레지스트를 도포하는 단계; 선택적 노광 및 현상 공정으로 라인 패턴 형성을 위해 제1폭(W1)을 갖는 상기 포토레지스트의 패턴을 형성하는 단계; 상기 포토레지스트의 패턴을 식각마스크로 상기 하드마스크용 희생막을 선택적으로 식각하여 제2폭(W2)을 갖는 희생하드마스크를 형성하는 단계; 상기 포토레지스트 패턴을 제거하는 단계; 상기 희생하드마스크를 식각마스크로 상기 하드마스크용 절연막을 식각하되, 식각시 과도식각 타겟을 조절하여 제3폭(W3)을 갖는 하드마스크를 형성하는 단계; 및 상기 희생하드마스크 및 상기 하드마스크를 식각마스크로 상기 피식각층을 식각하여 제4폭(W4)을 갖는 라인 패턴을 형성하는 단계를 포함하며, 상기 제1폭은 상기 제4폭에 비해 적어도 20nm 큰 것을 특징으로 하는 반도체 장치 제조 방법을 제공한다.

## 【대표도】

도 2d

【색인어】

불화아르곤(ArF), 비트라인, 포토레지스트 패턴 트리밍(Photoresist pattern trimming), 텅스텐, 희생하드마스크, 라인 패턴.

## 【명세서】

## 【발명의 명칭】

미세 패턴 형성이 가능한 반도체 장치 제조 방법 {METHOD FOR FABRICATION OF SEMICONDUCTOR DEVICE CAPABLE OF FORMING FINE PATTERN}

## 【도면의 간단한 설명】

도 1a 내지 도 1f는 라인 타입의 스토리지노드 형성 공정을 도시한 사시도.

도 2a 내지 도 2d는 본 발명의 일실시예에 따른  $F_2$  또는 ArF 노광원을 이용한 반도체 장치의 라인 패턴 형성 공정을 도시한 단면도.

도 3a 내지 도 3d는 상기 도 2a 내지 도 2d의 각 공정에 해당하는 단면 및 평면 SEM 사진.

도 4는 도 2a 내지 도 2d의 각 식각 단계별 임계치수의 변동을 도시한 그래프.

도 5는 선폭이 70nm인 비트라인의 단면 SEM 사진.

도 6은 도 2c의 하드마스크 형성시 식각 시간에 따른 CD(W3)의 감소 변화를 도시한 그래프.

\* 도면의 주요부분에 대한 부호의 설명 \*

20 : 기판            21b : 전도층패턴

22c : 하드마스크    W1 : DICD

W4 : FICD

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11>        본 발명은 반도체 장치 제조 방법에 관한 것으로 특히, 반도체 장치의 미세 패턴 형성 방법에 관한 것으로, 더욱 상세하게는 임계치수(Critical Dimension; 이하 CD라 함)의 축소가 가능한 반도체 장치의 비트라인 형성 방법에 관한 것이다.
- <12>        일반적으로 반도체 장치는 그 내부에 다수의 단위 소자들을 포함하여 이루어진다. 반도체 장치가 고집적화되면서 일정한 셀(Cell) 면적상에 고밀도로 반도체 소자들을 형성하여야 하며, 이로 인하여 단위 소자, 예를 들면 트랜지스터, 캐패시터들의 크기는 점차 줄어들고 있다. 특히 DRAM(Dynamic Random Access Memory)과 같은 반도체 메모리 장치에서 디자인 룰(Design rule)이 감소하면서 셀의 내부에 형성되는 반도체 소자들의 크기가 점차 작아지고 있다. 실제로 최근 반도체 DRAM 장치의 최소 선폭은  $0.1\mu\text{m}$  이하로 형성된다. 따라서 셀을 이루는 반도체 소자들의 제조 공정에 많은 어려움이 발생하고 있다.
- <13>        이하에서는 국내공개특허공보 제2000-0045869호를 통해 라인 타입(Line-type)의 스토리지노드(Storage node) 형성 공정을 살펴 보는 바, 도 1a 내지 도 1f는 라인 타입의 스토리지노드 형성 공정을 도시한 사시도이다.

- <14> 먼저 도 1a에 보이는 바와 같이, 트랜지스터 및 워드라인 등의 반도체 장치를 이루기 위한 소정의 공정이 완료된 반도체 기판(10) 상에 비트라인 형성을 위한 전도막(11)을 증착한 다음, 전도막(11) 상에 하드마스크용 절연막(12)을 증착한다.
- <15> 비트라인용 전도막(11)은 W,  $WSi_x$ ,  $TiSi_x$ ,  $CoSi_x$ , Al 또는 Cu 등을 사용하며, 하드마스크용 절연막(12)은 통상의 층간절연용 절연막을 식각하여 콘택홀을 형성하는 과정에서 비트라인(또는 게이트 전극) 패턴을 보호하기 위한 것으로서, 층간절연용 절연막과 식각 속도가 현저하게 차이나는 물질을 사용한다. 예컨대, 층간절연용 절연막을 산화막 계열로 형성할 경우에는 실리콘 질화막(SiN) 또는 실리콘 산화질화막(SiON) 등의 질화막 계열의 물질을 사용하고, 층간절연용 물질막으로 폴리머계 저유전율막을 사용할 경우에는 산화막 계열의 물질로 하드마스크용 절연막을 사용한다.
- <16> 하드마스크용 절연막(12) 상에 비트라인의 폭을 정의하기 위한 포토레지스트 패턴(13)을 형성한다.
- <17> 이어서, 도 1b에 도시된 바와 같이 포토레지스트 패턴(13)을 식각마스크로 하드마스크용 절연막(12)을 식각하여 포토레지스트 패턴(13)에 의해 비트라인 형상이 전사되어 형성된 하드마스크(12A)를 형성한 다음, 포토레지스트 스트립 공정을 통해 포토레지스트 패턴(13)을 제거한다.
- <18> 이어서, 하드마스크(12A)를 식각마스크로 전도막(11)을 식각하여 하드마스크(12A)와 전도막 패턴(11A)이 적층된 비트라인을 형성한다.
- <19> 한편, 전술한 포토레지스트 스트립 공정은 전도막(11) 식각 후에 실시할 수도 있다.



- <20> 다음으로 도 1c에 도시한 바와 같이, 비트라인이 형성된 전체 구조 상부에 산화막 계열의 층간절연용 절연막(14)을 형성한다.
- <21> 이어서 도 1d에 보이는 바와 같이, 절연막(14) 상에 콘택홀 형성 영역을 정의하는 포토레지스트 패턴(15)을 형성한다. 포토레지스트 패턴(15)은 일직선, 라인 타입의 패턴이 형성된 마스크를 이용하여 형성한다.
- <22> 계속해서 도 1e에 도시된 바와 같이, 포토레지스트 패턴(15)을 식각마스크로 절연막(14)을 식각하여 이웃하는 전도막 패턴(11A) 즉, 비트라인 사이의 도전층, 예컨대 반도체 기판(10)을 노출시키는 콘택홀(16)을 형성한다. 콘택홀(16)은 스토리지노드 콘택을 위한 것이다.
- <23> 여기서, 콘택홀(16) 형성시 노출되는 것은 본 발명에서 전도막 패턴이 비트라인이므로 기판의 소스/드레인 접합과 콘택된 플러그 도전층이나, 설명의 간략화를 위해 생략하였다.
- <24> 이어서 도 1f에 보이는 바와 같이, 비트라인 측벽에 스페이서 형상의 식각정지막(17)을 형성한다.
- <25> 식각정지막(17)은 하드마스크(12A)와 같이 후속 식각 공정에서 하드마스크(12A)와 전도막 패턴(11A)의 손실을 방지하기 위한 것이므로 통상 질화막 계열의 물질을 사용한다.
- <26> 한편, 전술한 바와 같이 라인 타입의 콘택홀 형성 공정에서는 비트라인의 선평(W)과 하드마스크(12A)의 두께(d)가 매우 중요한 역할을 한다.
- <27> 예컨대, 비트라인의 선평(W)이 클 경우에는, 비트라인 식각후 층간절연용 절연막 증착시에 갭-필(Gap-fill) 특성의 열화되고 종횡비(Aspect ratio)의 증가하는 문제점을 해결할 수 있어야 한다.

- <28> 이러한 중횡비와 갭-필 특성 향상을 위해서는 비트라인 등 배선의 선평(W)을 감소시켜 중횡비를 완화시키는 방법이 있다.
- <29> 하지만,  $0.1\mu\text{m}$  이하의 선평을 갖는 반도체 집적 기술에서 라인 타입의 마스크 패턴(예컨대, 자기정렬콘택(Self Align Contact; SAC) 마스크 패턴)을 적용할 경우 비트라인 사이에 층간절연용 절연막(일명, 비트라인 절연막)을 보이드(Void) 발생없이 갭-필하는 경우 상당한 어려움이 발생하므로, 그 중횡비를 완화시켜 갭-필 마진을 확보하기 위해 비트라인의 CD를 감소시키는 것이 요구된다.
- <30> 비트라인 CD의 감소는 갭-필 문제 뿐만이아니라 하부 플러그 면적 증가와 충분한 충분한 스페이서용 식각정지막의 형성을 가능하게 하므로, 특히 반도체 메모리 장치의 경우에서 비트라인의 CD 감소는 중요한 공정상의 이슈로 대두되고 있다.
- <31> CD의 감소를 위해서는 포토리소그래피(Photo lithography) 공정의 개발이 필수적이며, 이를 결정하는 중요 요인 중의 하나가 노광기술이다.
- <32> 이를 위해 최근에는  $193\text{nm}$ 의 파장을 갖는 불화아르곤(ArF)등의 레이저를 광원으로 사용하고 있으나, 예컨대, ArF의 경우에도  $0.08\mu\text{m}$ 정도가 구현할 수 있는 가장 작은 선평이고  $0.1\mu\text{m}$  정도의 CD를 확보하는 곳이 용이하지 않다. 아울러, 전술한 문제점을 유발하지 않기 위해 요구되는 비트라인의 폭은  $0.055\mu\text{m}$  정도이므로 포토리소그래피 공정상의 기술 발전만으로는 그 한계에 다다르고 있다.
- <33> 이를 해결하기 위해, 최근에는 포토레지스트 패턴 형성한 후 식각 가스를 적절히 사용하여 포토레지스트 패턴의 손실을 유도하여 CD를 줄이는 포토레지스트 트리밍(Photoresist trimming) 방법이 연구되어지고 있다.

- <34> 포토레지스트 트리밍 방법은 전술한 바와 같이 포토레지스트 패턴 임계치수(Develop Inspection Critical Dimension; 이하 DICD라 함)를 식각 공정을 통해 최종 패턴 임계치수(Final Inspection Critical Dimension; 이하 FICD라 함)를 감소시키는 기술이다.
- <35> 포토레지스트의 물질 특성상 플라즈마 식각을 실시하면 패턴의 폭이 줄어드는 것을 이용하였으며, 대표적으로  $\text{Cl}_2/\text{HBr}/\text{O}_2$ 의 플라즈마를 이용하였다. 구체적으로,  $\text{Cl}_2/\text{O}_2$  또는  $\text{HBr}/\text{O}_2$  가스를 사용하여 포토레지스트 패턴을 일정 부분 손실시킨 다음, 손실된 포토레지스트 패턴을 식각마스크로 하부의 하드마스크를 식각하는 과정을 통해 이루어진다.
- <36> 그러나, 실제  $0.1\mu\text{m}$  이하의 기술에 가장 적용이 가능한 ArF 노광기술을 적용할 경우 ArF 포토레지스트의 식각 변형은 전술한  $\text{Cl}_2/\text{HBr}/\text{O}_2$ 의 플라즈마에 의해 심하게 발생하며, 트리밍 기술은 고집적화된 DRAM등이 반도체 메모리 장치의 제조 공정으로의 적용은 여러가지 한계를 갖게 된다.

#### 【발명이 이루고자 하는 기술적 과제】

- <37> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 포토레지스트 트리밍 기술의 적용이 가능하여 미세 패턴 형성이 가능한 반도체 장치 제조 방법을 제공하는 것을 그 목적으로 한다.
- <38> 또한, 본 발명은 비트라인 등 라인 패턴의 선폴을 줄여 후속 비트라인 절연막 증착시 갭-필 특성을 향상시킬 수 있는 반도체 장치 제조 방법을 제공하는 것을 다른 목적으로 한다.

<39> 또한, 본 발명은 라인 패턴의 선폭을 최소화할 수 있는 불화아르곤 포토리소그래피 공정을 이용한 반도체 장치 제조 방법을 제공하는 것을 다른 목적으로 한다.

### 【발명의 구성 및 작용】

<40> 상기의 목적을 달성하기 위해 본 발명은, 피식각층 상에 하드마스크용 절연막을 형성하는 단계; 상기 하드마스크용 절연막 상에 하드마스크용 희생막을 형성하는 단계; 상기 하드마스크용 희생막 상에 포토레지스트를 도포하는 단계; 선택적 노광 및 현상 공정으로 라인 패턴 형성을 위해 제1폭(W1)을 갖는 상기 포토레지스트의 패턴을 형성하는 단계; 상기 포토레지스트의 패턴을 식각마스크로 상기 하드마스크용 희생막을 선택적으로 식각하여 제2폭(W2)을 갖는 희생하드마스크를 형성하는 단계; 상기 포토레지스트 패턴을 제거하는 단계; 상기 희생하드마스크를 식각마스크로 상기 하드마스크용 절연막을 식각하되, 식각시 과도식각 타겟을 조절하여 제3폭(W3)을 갖는 하드마스크를 형성하는 단계; 및 상기 희생하드마스크 및 상기 하드마스크를 식각마스크로 상기 피식각층을 식각하여 제4폭(W4)을 갖는 라인 패턴을 형성하는 단계를 포함하며, 상기 제1폭은 상기 제4폭에 비해 적어도 20nm 큰 것을 특징으로 하는 반도체 장치 제조 방법을 제공한다.

<41> 또한, 상기 목적을 달성하기 위해 본 발명은, 피식각층 상에 하드마스크용 절연막을 형성하는 단계; 상기 하드마스크용 절연막 상에 하드마스크용 희생막을 형성하는 단계; 상기 하드마스크용 희생막 상에 반사방지층을 형성하는 단계; 상기 반사방지층 상에 포토레지스트를 도포하는 단계; 선택적 노광 및 현상 공정으로 라인 패턴 형성을 위해 제1폭(W1)을 갖는 상기 포토레지스트의 패턴을 형성하는 단계; 상기 포토레지스트의 패턴을 식각마스크로 상기 반사방지층을 식각하는 단계; 상기 포토레지스트의 패턴을 식각마스크로 상기 하드마스크용 희생막을

선택적으로 식각하여 제2폭(W2)을 갖는 희생하드마스크를 형성하는 단계; 상기 포토레지스트 패턴 및 상기 반사방지층을 제거하는 단계; 상기 희생하드마스크를 식각마스크로 상기 하드마스크용 절연막을 식각하되, 식각시 과도식각 타겟을 조절하여 제3폭(W3)을 갖는 하드마스크를 형성하는 단계; 및 상기 희생하드마스크 및 상기 하드마스크를 식각마스크로 상기 피식각층을 식각하여 제4폭(W4)을 갖는 라인 패턴을 형성하는 단계를 포함하며, 상기 제1폭은 상기 제4폭에 비해 적어도 20nm 큰 것을 특징으로 하는 반도체 장치 제조 방법을 제공한다.

<42> 또한, 상기 목적을 달성하기 위해 본 발명은, 기판 상에 텅스텐을 포함하는 전도층을 형성하는 단계; 상기 전도층 상에 하드마스크용 절연막을 형성하는 단계; 상기 하드마스크용 절연막 상에 텅스텐을 포함하는 하드마스크용 희생막을 형성하는 단계; 상기 하드마스크용 희생막 상에 라인 패턴 형성을 위해 제1폭(W1)을 갖는 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 식각마스크로 상기 하드마스크용 희생막을 선택적으로 식각하여 제2폭(W2)을 갖는 희생하드마스크를 형성하는 단계; 상기 포토레지스트 패턴을 제거하는 단계; 상기 희생하드마스크를 식각마스크로 상기 하드마스크용 절연막을 식각하되, 식각시 과도식각 타겟을 조절하여 제3폭(W3)을 갖는 하드마스크를 형성하는 단계; 및 상기 희생하드마스크 및 상기 하드마스크를 식각마스크로 상기 전도층을 식각하여 제4폭(W4)을 갖는 라인 타입의 전도층패턴을 형성하는 단계를 포함하며, 상기 제1폭은 상기 제4폭에 비해 적어도 20nm 큰 것을 특징으로 하는 반도체 장치 제조 방법을 제공한다.

<43> 본 발명은, 라인 타입의 전도막 패턴(예컨대, 비트라인)의 선폴을 최소화 하고자(예컨대, D1CD 대비 F1CD를 20nm 이상 줄일 수 있도록) 한다.

- <44> 이를 위해 예컨대, 텅스텐을 포함하는 상부의 희생 하드마스크와 질화막 계열의 하부의 하드마스크를 각각 식각하는 과정에서 식각 가스와 공정 변수를 조절하여 패턴의 폭을 감소시킨다.
- <45> 따라서,  $F_2$  또는  $ArF$  등의 패턴 변형이 심각한 포토리소그래피 공정을 적용하더라도 패턴의 변형없이 미세 패턴을 구현할 수 있다.
- <46> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.
- <47> 도 2a 내지 도 2d는 본 발명의 일실시예에 따른  $F_2$  또는  $ArF$  노광원을 이용한 반도체 장치의 라인 패턴 형성 공정을 도시한 단면도로서, 이를 참조하여 상세히 설명한다.
- <48> 한편, 도 3a 내지 도 3d는 상기 도 2a 내지 도 2d의 각 공정에 해당하는 단면 및 평면 SEM 사진이다.
- <49> 후술하는 본 발명의 일실시예에서는 반도체소자의 라인 패턴 구체적으로, 전도층패턴 중 비트라인 형성 공정을 그 일례로 하여 설명하는 바, 본 발명의 적용 대상이 되는 라인 패턴(전도층패턴)은 일실시예에서 제시한 비트라인 패턴 만으로 한정되는 것이 아니라 게이트전극 패턴, 스토리지노드 콘택 또는 금속배선 등의 다양한 형태의 패턴 형성 공정에도 적용이 가능하다.
- <50> 먼저, 도 2a에 도시된 바와 같이, 트랜지스터 및 워드라인 등의 반도체 장치를 이루기 위한 소정의 공정이 완료된 반도체 기판(20) 상에 피식각층으로 전도층(21a)을 형성한 다음,

전도층(21a) 상에 절연성 물질이면서도 피식각층인 전도층(21a)과 선택비를 갖어 하드마스크 재료로 사용되는  $\text{Si}_3\text{N}_4$  또는  $\text{SiON}$  등의 질화막계열의 박막 또는  $\text{SiO}_2$  등의 산화막계열의 박막을 사용하여 하드마스크용 절연막(22a)을 형성한다. 이어서, 식각공정시 하드마스크용 절연막(22a)의 손실에 따른 패턴 변형을 방지하기 위해 하드마스크용 절연막(22a) 상에 하드마스크용 희생막(23a)을 형성한다.

<51> 여기서, 하드마스크용 희생막(23a)은 폴리실리콘막, Al막, W막,  $\text{WSi}_x$ (x는 1 내지 2)막, WN막, Ti막, TiN막,  $\text{TiSi}_x$ (x는 1 내지 2)막, TiAlN막, TiSiN막, Pt막, Ir막,  $\text{IrO}_2$ 막, Ru막,  $\text{RuO}_2$ 막, Ag막, Au막, Co막, Au막, TaN막, CrN막, CoN막, MoN막,  $\text{MoSi}_x$ (x는 1 내지 2)막,  $\text{Al}_2\text{O}_3$ 막, AlN막,  $\text{PtSi}_x$ (x는 1 내지 2)막 및  $\text{CrSi}_x$ (x는 1 내지 2)막으로 이루어진 그룹으로부터 선택된 적어도 어느 하나의 박막을 이용한다. 이 때 하드마스크용 희생막(23a)은 후속 피식각층인 전도층(21a) 식각시 제거될 수 있도록 그 두께를 설정하는 바,  $500\text{\AA} \sim 3000\text{\AA}$  정도의 두께로 형성하는 것이 바람직하며, 전술한 하드마스크용 절연막(22a)의 경우에도 이와 비슷한  $500\text{\AA} \sim 5000\text{\AA}$  정도의 두께로 형성하는 것이 바람직하다.

<52> 또한, 전도층(21a)은 하드마스크용 희생막(23a)을 제거하기 위한 별도의 공정 추가의 부담을 덜기 위해서 전술한 하드마스크용 희생막(23a)과 동일 박막 즉, W를 포함하는 박막으로 형성하는 것이 바람직하나, 굳이 동일 박막으로 사용하지 않아도 사용되는 각 물질의 식각선택비에 따라 그 두께와 식각조건을 적절하게 조절하면 후속 희생하드마스크의 제거 공정을 생략할 수도 있다.

<53> 즉, 전도층(21a)은 W,  $\text{WSi}_x$ ,  $\text{TiSi}_x$ ,  $\text{CoSi}_x$ , Al 또는 Cu 등을 사용하며, 하드마스크용 절연막(22a)은 통상의 층간절연용 절연막을 식각하여 콘택홀을 형성하는 과정에서 비트라인(또는 게이트 전극) 패턴을 보호하기 위한 것으로서, 층간절연용 절연막과 식각 속도가 현저하게 차

이나는 물질을 사용한다. 예컨대, 층간절연용 절연막을 산화막 계열로 형성할 경우에는 실리콘 질화막( $\text{Si}_3\text{N}_4$ ) 또는 실리콘 산화질화막( $\text{SiON}$ ) 등의 질화막 계열의 물질을 사용하고, 층간절연용 물질막으로 폴리머계 저유전율막을 사용할 경우에는 산화막 계열의 물질로 하드마스크용 절연막을 사용한다.

<54> 또한, 기판(20)은 그 내부에 절연구조와 도전구조를 모두 포함하는 것으로, 전술한 바와 같이 본 발명의 일실시예에서 처럼 전도층(21a)이 비트라인 패턴 또는 금속배선 형성용이라면 기판(20)과의 계면에 적어도 Ti막/TiN막 등의 확산배리어막, 소스/드레인 등의 불순물 접합층, 층간절연막 또는 폴리실리콘막 또는 텅스텐(W)막 등의 박막으로 이루어진 플러그를 포함하고 있으며, 전도층(51a)이 게이트전극 패턴 형성용이라면 전도층(21a)과 기판(20) 사이의 계면에 게이트절연막(도시하지 않음)을 포함하고 있을 것이다.

<55> 이어서, 하드마스크용 희생막(23a) 상에 패턴 형성을 위한 노광시 하부 즉, 하드마스크용 희생막(23a)의 광반사도가 높음으로 인해 난반사가 이루어져 원하지 않는 패턴이 형성되는 것을 방지하며, 하드마스크용 희생막(23a)과 도포될 포토레지스트의 접착력을 향상시킬 목적으로 반사방지층(24, ARC)을 형성한다.

<56> 여기서, 반사방지층(24)은 포토레지스트와 그 식각 특성이 유사한 유기계열(Organic)의 물질을 이용하며,  $100\text{\AA} \sim 1000\text{\AA}$  정도의 비교적 얇은 두께로 형성하는 것이 바람직하다.

<57> 이어서, 반사방지층(24) 상에  $\text{F}_2$  노광원용 또는 ArF 노광원용의 포토레지스트 예를 들어, COMA 또는 아크릴레이드를 사용하며, 이들을 스핀 코팅(Spin coating) 등의 방법을 통해 적절한 두께로 도포한 다음,  $\text{F}_2$  노광원 또는 ArF 노광원과 비트라인 폭을 정의하기 위한 소정의 레티클(도시하지 않음)을 이용하여 포토레지스트의 소정 부분을 선택적으로 노광하고, 현상 공



정을 통해 노광 공정에 의해 노광되거나 혹은 노광되지 않은 부분을 잔류시킨 다음, 후세정 공정 등을 통해 식각 잔유물 등을 제거함으로써 포토레지스트 패턴(25a)을 형성한다.

<58> 도 2a에서 포토레지스트 패턴(25a)의 폭은  $W1$ 이며, 포토레지스트 패턴(25a) 사이의 간격은  $d1$ 이다. 따라서,  $W1$ 은 도 3a의 (a)와 같은 단면 및 도 3a의 (b)와 같은 평면 SEM 사진에 도시된 바와 같이 비트라인의 DICD라 할 수 있다.

<59> 도 2b에 도시된 바와 같이, 포토레지스트 패턴(25a)을 식각 마스크로 하는 선택적 식각 공정을 통해 반사방지층(24)을 선택적으로 식각하는 바, 이 때 포토레지스트 패턴(24)의 변형을 최소화하며 포토레지스트 트리밍 효과를 어느 정도 얻을 수 있도록  $Cl_2$ ,  $BCl_3$ ,  $CCl_4$  또는  $HCl$  등의 염소계 가스를 사용한 플라즈마를 이용하여 식각 공정을 실시하며, 이 때  $O_2$  가스를 더 포함하는 것이 바람직하다.

<60> 이 때, 예컨대 반응성이온식각(Reactive Ion Etching; 이하 RIE라 함) 장비를 사용할 경우 상부(Top)와 하부(Bottom)에서의 파워를 각각  $400W \sim 800W$ 와  $70W \sim 130W$ 로 하고 챔버 내의 압력을  $6mTorr \sim 12mTorr$ 로 유지한다. 또한,  $Cl_2/Ar$ 의 혼합 가스를 사용할 경우  $Cl_2$ 는  $35SCCM \sim 65SCCM$ ,  $Ar$ 은  $20SCCM \sim 50SCCM$ 의 범위로 각각 사용하는 것이 바람직하다.

<61> 계속해서, 포토레지스트 패턴(25a)과 반사방지층(24)을 식각마스크로 하드마스크용 희생막(23a)을 식각하여 희생하드마스크(23b)를 형성한다.

<62> 하드마스크용 희생막(23a)이  $W$ 막,  $WSix$ 막 또는  $WN$ 막과 같이 텅스텐( $W$ )을 포함하는 박막일 경우에는  $SF_6/N_2$ 의 혼합 가스를 사용한 플라즈마를 이용한다.

- <63> 이 때, 예컨대 RIE 장비를 사용할 경우 상부와 하부에서의 파워를 각각 450W ~ 850W와 30W ~ 60W로 하고 챔버 내의 압력을 8mTorr ~ 16mTorr로 유지한다. 또한, SF<sub>6</sub>는 7SCCM ~ 13SCCM, N<sub>2</sub>는 10SCCM ~ 20SCCM의 범위로 각각 사용하는 것이 바람직하다.
- <64> 또한, 하드마스크용 희생막(23a)이 폴리실리콘막 또는 Ti막, TiN막, TiSix막, TiAlN막 또는 TiSiN막과 같이 티타늄(Ti)을 포함하는 박막인 경우, 염소 계열의 가스 특히, Cl<sub>2</sub>를 주식 각가스로 하며, 이 때 식각 프로파일의 제어를 위해 산소(O<sub>2</sub>) 또는 CF 가스를 적절히 첨가하여 사용한다.
- <65> 하드마스크용 희생막(23a)이 Pt, Ir, Ru 등의 귀금속 또는 이들의 산화물을 포함하는 경우 염소 계열 또는 불소 계열의 가스를 사용한 플라즈마를 이용하며, 이 때 식각 프로파일의 제어를 위해서는 높은 이온에너지(High ion energy)가 필요하므로 이를 위해 저압(Low pressure) 및 고 바이어스 파워(High bias power) 조건을 유지하도록 하는 것이 바람직하다.
- <66> 도 2b에서 포토레지스트 패턴(25b)의 폭은 W1에서 W2로 약간의 손실이 발생하게(트리밍) 되며, 포토레지스트 패턴(25b) 사이의 간격은 d2로 d1에 비해 넓어진다. 따라서, W2는 도 3b의 (a)와 같은 단면 및 도 3b의 (b)와 같은 평면 SEM 사진에 도시된 바와 같이 도 3a의 DICD에 비해 약간 줄어들을 알 수 있다.
- <67> 도 2b의 희생하드마스크(23b) 형성 공정에서는 비트라인 폭의 변화가 크게 나타나지 않았으나, 하드마스크용 희생막(23a)의 손실되는 양을 조절하여 최종 비트라인의 FICD를 DICD 대비 20nm 이상 작게 조절할 수 있다.
- <68> 이어서, 포토레지스트 스트립 공정을 실시하여 포토레지스트 패턴(25b)과 반사방지층(24)을 제거한 다음, 세정 공정을 실시하여 식각시 발생한 폴리머성 잔류물을 제거한다.

- <69> 이어서 도 2c에 도시된 바와 같이, 희생하드마스크(23b)를 식각마스크로 하드마스크용 절연막(22a)을 식각하여 하드마스크(22b)를 형성한다.
- <70> 한편, 본 발명에서는 ArF 등의 포토리소그래피 공정을 적용할 경우 ArF용 포토레지스트를 이용한 패턴의 변형을 방지하는 것도 다른 목적이므로, 도 2c의 하드마스크(22b) 형성 과정에서 FICD를 줄이는 것이 도 2b의 희생하드마스크(22b) 형성 공정 보다 더 효과적일 수 있다.
- <71> 하드마스크용 절연막(22a)이 질화막 계열인 경우에는  $\text{CF}_4/\text{CHF}_3/\text{Ar}/\text{O}_2$ 의 혼합 가스를 사용한 플라즈마를 이용한다.
- <72> 이 때, 예컨대 RIE 장비를 사용할 경우 400W ~ 800W의 파워를 사용하고 챔버 내의 압력을 35mTorr ~ 65mTorr로 유지한다. 또한,  $\text{CF}_4$ 는 25SCCM ~ 65SCCM,  $\text{CHF}_3$ 는 40SCCM ~ 80SCCM, Ar은 50SCCM ~ 100SCCM,  $\text{O}_2$ 는 12SCCM ~ 25SCCM 범위로 각각 사용하는 것이 바람직하다.
- <73> 도 2c에서 비트라인이 형성될 영역의 폭 즉, 희생하드마스크(23c)의 폭은 W2에서 W3로 트리밍되며, 희생하드마스크(23c) 사이의 간격은 d3로 d2에 비해 넓어진다. 따라서, W3는 도 3c의 (a)와 같은 단면 및 도 3c의 (b)와 같은 평면 SEM 사진에 도시된 바와 같이 도 3b의 CD에 비해 상당히 줄어들음을 알 수 있다.
- <74> 도 2b의 희생하드마스크(23b) 형성 공정에서는 비트라인 폭의 변화가 크게 나타나지 않았으나, 도 2c의 하드마스크(22b) 식각시 사용되는  $\text{O}_2$  가스의 양 및 과도식각 시간을 조절하여 희생하드마스크(23c)의 손실되는 양을 조절하여 최종 비트라인의 FICD를 DICD 대비 20nm 이상 작게 조절할 수 있다.

- <75> 아울러, 희생하드마스크(23c)를 사용하지 않는 경우에 비해 하드마스크용 절연막(22a) 식각시 식각마스크로 이용될 수 밖에 없는 포토레지스트 패턴(25b) 또는 반사방지층(24)의 과도한 식각가스 노출로 인한 패턴의 변형을 방지할 수 있다.
- <76> 다음으로 도 2d에 도시된 바와 같이, 희생하드마스크(23c) 및 하드마스크(22b)를 식각마스크로 전도층(21a)를 선택적으로 식각하여 하드마스크(22c)와 전도층패턴(21b)이 적층된 비트라인 패턴을 형성한다.
- <77> 이 때, 전술한 바와 같이 희생하드마스크(23c)를 사용함에 따라 이를 제거하기 위한 추가 식각공정을 없애기 위해 전도층(21a)을 하드마스크용 희생막(23a)과 동일 박막으로 사용하거나, 또는 서로 다른 박막이더라도 그 두께와 식각 조건을 조절함으로써, 전도층(21a) 식각시 희생하드마스크(23c)는 모두 제거가 되도록 하며, 이에 따라 희생하드마스크(23c)를 제거하기 위한 별도의 식각 공정을 생략할 수 있으며, 희생하드마스크(23c)로 인해 하드마스크(22b)의 손실을 방지할 수 있으므로, 결국 하드마스크(22b)의 손실로 인한 전도층패턴(21b)의 변형을 방지할 수 있다.
- <78> 여기서, 전도층(51a)의 식각 조건은 전술한 희생하드마스크(23b) 형성시 사용한 조건과 동일하며, 단지 그 시간과 가스량만을 적절하게 조절하면 된다.
- <79> 즉, 예컨대 RIE 장비를 사용할 경우 상부와 하부에서의 파워를 각각 450W ~ 850W와 30W ~ 60W로 하고 챔버 내의 압력을 8mTorr ~ 16mTorr로 유지한다. 또한, SF<sub>6</sub>는 70SCCM ~ 130SCCM, N<sub>2</sub>는 14SCCM ~ 22SCCM의 범위로 각각 사용하는 것이 바람직하다.
- <80> 도 2d에서 최종 비트라인의 폭(FICD) 즉, 하드마스크(22c)의 폭은 W3에서 W4로 트리밍되며, 하드마스크(22c) 사이의 간격은 d4로 d3에 비해 넓어진다. 따라서, W4는 도 3d의 (a)와 같

은 단면 및 도 3d의 (b)와 같은 평면 SEM 사진에 도시된 바와 같이 도 3c의 CD에 비해 약간 줄어들었음을 알 수 있다.

- <81> 한편, 전술한 바와 같이 전도층패턴(21b)과 기판(20) 사이에 Ti/TiN의 확산방지막이 개재되어 있어, 이를 식각할 경우에는 전도층패턴(21b) 식각 후,  $\text{BCl}_3/\text{Cl}_2$ 의 혼합 가스를 사용한 플라즈마를 이용하여 식각한다.
- <82> 예컨대, RIE 장비를 사용할 경우 상부와 하부에서의 파워를 각각 400W ~ 550W와 50W ~ 100W로 하고 챔버 내의 압력을 7mTorr ~ 13mTorr로 유지한다. 또한,  $\text{BCl}_3$ 는 7SCCM ~ 13SCCM,  $\text{Cl}_2$ 는 80SCCM ~ 150SCCM의 범위로 각각 사용하는 것이 바람직하다.
- <83> 도 4는 도 2a 내지 도 2d의 각 식각 단계별 임계치수의 변동을 도시한 그래프이다.
- <84> 예컨대, 도 2a에서 초기 DICD(W1)가 95nm이었을 때, 도 2b의 희생하드마스크(23b) 형성 후의 CD인 W2가 92nm이므로, 희생하드마스크(23b) 형성시 트리밍 현상에 의해 약 2nm의 CD 감소 효과를 보았으며, 다시 도 2c의 하드마스크(22b) 형성시 트리밍 현상에 의해 하드마스크(22b)의 폭이 W3인 77nm가 되어 15nm의 감소 효과가 나타났다.
- <85> 이어서, 도 2d의 전도층패턴(21b) 형성시 트리밍 현상에 의해 FICD인 비트라인의 폭 W4는 72nm로 다시 5nm가 감소하였다.
- <86> 따라서, DICD가 95nm이고 FICD가 72nm이므로 W4는 W1에 비해 20nm 이상 줄어들었음을 확인할 수 있다.
- <87> 따라서, ArF 포토리소그래피 공정을 통해 비트라인 패턴을 형성할 경우 희생하드마스크를 사용함에 따라 패턴 변형을 최소화할 수 있고, 아울러 식각 가스 및 과도식각 시간(또는 타

것)을 적절히 사용하여 트리밍 조건을 만족하도록 함으로써 비트라인의 선폴을 DICD 대비 최소 20nm 이상 줄일 수 있다.

<88> 도 5는 선폴이 70nm인 비트라인의 단면 SEM 사진을 도시한다.

<89> 도 5를 참조하면, 전술한 도 2a 내지 도 2d의 공정을 통해 하드마스크(22c)와 전도층패턴(21b)이 적층된 비트라인 패턴이 형성되어 있으며, 비트라인의 폭은 최초 ArF 포토리소그래피 공정을 통해 95nm 정도의 선폴을 가졌다 할지라도 트리밍 공정을 통해 70nm 정도의 선폴까지 또는 그보다 작은 선폴까지 구현이 가능하게 됨을 확인할 수 있다.

<90> 도 6은 도 2c의 하드마스크 형성시 하드마스크의 두께 대비 과도 식각 타겟의 비율의 변화를 도시한 그래프이다.

<91> 도 6을 참조하면, 시간이 증가함에 따라 트리밍이 가속화됨을 알 수 있는 바, 도시된 40%, 60%, 100%는 하드마스크용 절연막(22a)의 식각 공정시 종말점(End Of Point; 이하 EOP라 함)에 추가적으로 실시하는 과도 식각 시간을 나타낸다.

<92> 따라서, 하드마스크용 절연막(22a)의 물질과 그 두께에 따라 과도 식각 시간을 적절히 조절하는 것이 바람직하다.

<93> 전술한 바와 같이 이루어지는 본 발명은, 라인 타입의 전도층패턴 형성시 금속 도전층으로 텅스텐을 포함하는 희생하드마스크와 그 하부에 질화막 등의 하드마스크가 적층된 구조를 사용하고, 그 식각 가스와 과도식각 시간을 조절하여 트리밍 효과를 적절하게 제어함으로써, 패턴 변형을 방지함과 동시에 주어진 포토리소그래피 공정에 비해 보다 미세한 라인 패턴을 구현할 수 있음을 실시예를 통해 알아 보았다.

<94>        본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

**【발명의 효과】**

<95>        상술한 바와 같은 본 발명은, 포토리소그래피 공정의 한계를 벗어나는 미세 라인 패턴을 형성할 수 있고 특히, ArF 또는 F<sub>2</sub> 노광 기술을 이용하는 경우 패턴의 변형을 최소화할 수 있어, 궁극적으로 반도체소자의 수율과 가격 경쟁력을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

## 【특허청구범위】

## 【청구항 1】

피식각층 상에 하드마스크용 절연막을 형성하는 단계;

상기 하드마스크용 절연막 상에 하드마스크용 희생막을 형성하는 단계;

상기 하드마스크용 희생막 상에 포토레지스트를 도포하는 단계;

선택적 노광 및 현상 공정으로 라인 패턴 형성을 위해 제1폭(W1)을 갖는 상기 포토레지스트의 패턴을 형성하는 단계;

상기 포토레지스트의 패턴을 식각마스크로 상기 하드마스크용 희생막을 선택적으로 식각하여 제2폭(W2)을 갖는 희생하드마스크를 형성하는 단계;

상기 포토레지스트 패턴을 제거하는 단계;

상기 희생하드마스크를 식각마스크로 상기 하드마스크용 절연막을 식각하되, 식각시 과도식각 타겟을 조절하여 제3폭(W3)을 갖는 하드마스크를 형성하는 단계; 및

상기 희생하드마스크 및 상기 하드마스크를 식각마스크로 상기 피식각층을 식각하여 제4폭(W4)을 갖는 라인 패턴을 형성하는 단계를 포함하며,

상기 제1폭은 상기 제4폭에 비해 적어도 20nm 큰 것을 특징으로 하는 반도체 장치 제조 방법.

## 【청구항 2】

제 1 항에 있어서,



상기 피식각층은 전도층이며, 상기 라인 패턴은 비트라인, 워드라인 또는 금속배선 중 어느 하나를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

**【청구항 3】**

제 1 항에 있어서,

상기 포토레지스트는 ArF 노광원용 포토레지스트 또는 F<sub>2</sub> 노광원용 포토레지스트를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

**【청구항 4】**

제 1 항에 있어서,

상기 제1폭(W1) 내지 상기 제4폭(W4)은,  $W1 > W2 > W3 > W4$ 의 관계를 갖는 것을 특징으로 하는 반도체 장치 제조 방법.

**【청구항 5】**

제 1 항에 있어서,

상기 희생하드마스크는 상기 피식각층을 식각하는 단계에서 제거되는 것을 특징으로 하는 반도체 장치 제조 방법.

**【청구항 6】**

제 1 항에 있어서,

상기 하드마스크용 희생막은,

폴리실리콘막, Al막, W막, WSix(x는 1 내지 2)막, WN막, Ti막, TiN막, TiSix(x는 1 내지 2)막, TiAlN막, TiSiN막, Pt막, Ir막, IrO<sub>2</sub>막, Ru막, RuO<sub>2</sub>막, Ag막, Au막, Co막, Au막, TaN막, CrN막, CoN막, MoN막, MoSix(x는 1 내지 2)막, Al<sub>2</sub>O<sub>3</sub>막, AlN막, PtSix(x는 1 내지 2)막 및 CrSix(x는 1 내지 2)막으로 이루어진 그룹으로부터 선택된 적어도 어느 하나의 박막을 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

#### 【청구항 7】

제 6 항에 있어서,

상기 피식각층은 상기 하드마스크용 희생막과 동일 박막으로 이루어진 것을 특징으로 하는 반도체소자 제조방법.

#### 【청구항 8】

제 1 항 또는 제 6 항에 있어서,

상기 하드마스크용 절연막은 산화막 계열 또는 질화막 계열의 박막을 포함하는 것을 특징으로 하는 반도체소자 제조방법.

#### 【청구항 9】

제 6 항에 있어서,

상기 하드마스크용 희생막을 식각하는 단계에서,

상기 하드마스크용 희생막이 텅스텐을 포함하는 경우,  $\text{SF}_6/\text{N}_2$ 의 혼합 플라즈마를 이용하는 것을 특징으로 하는 반도체소자 제조 방법.

**【청구항 10】**

제 9 항에 있어서,

상기 텅스텐을 포함하는 하드마스크용 희생막을 식각하는 단계에서,

반응성이온식각 장비에서 상부와 하부에서의 파워를 각각 450W 내지 850W와 30W 내지 60W로 사용하고, 챔버 내의 압력을 8mTorr 내지 16mTorr로 유지하며,  $\text{SF}_6$ 는 7SCCM 내지 13SCCM,  $\text{N}_2$ 는 10SCCM 내지 20SCCM의 범위로 각각 사용하는 것을 특징으로 하는 반도체 장치 제조 방법.

**【청구항 11】**

제 6 항에 있어서,

상기 하드마스크용 희생막을 식각하는 단계에서,

상기 하드마스크용 희생막이 폴리실리콘 또는 Ti를 포함하는 경우 염소계열의 가스를 주 식각가스로 하되, 식각 프로파일 제어를 위해 산소 또는 CF 가스를 첨가하여 사용하는 것을 특징으로 하는 반도체 장치 제조 방법.

**【청구항 12】**

제 6 항에 있어서,

상기 하드마스크용 희생막을 식각하는 단계에서,

상기 하드마스크용 희생막이 Pt, Ir 또는 Ru 중 어느 하나를 포함하는 귀금속 또는 이들의 산화물을 포함하는 경우 염소계열 또는 불소계열의 플라즈마를 사용하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 13】

제 8 항에 있어서,

상기 하드마스크용 절연막을 식각하는 단계에서,

상기 하드마스크용 절연막이 질화막 계열의 박막일 경우  $\text{CF}_4/\text{CHF}_3/\text{Ar}/\text{O}_2$  혼합 가스의 플라즈마를 사용하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 14】

제 13 항에 있어서,

상기 질화막 계열의 하드마스크용 절연막을 식각하는 단계에서,

반응성이온식각 장비에서 400W 내지 800W의 파워를 사용하고 챔버 내의 압력을 35mTorr 내지 65mTorr로 유지하며,  $\text{CF}_4$ 는 25SCCM 내지 65SCCM,  $\text{CHF}_3$ 는 40SCCM 내지 80SCCM, Ar은 50SCCM 내지 100SCCM,  $\text{O}_2$ 는 12SCCM 내지 25SCCM 범위로 각각 사용하는 것을 특징으로 하는 반도체 장치 제조 방법.

## 【청구항 15】

제 2 항 또는 제 5 항에 있어서,

상기 피식각층은 텅스텐을 포함하며, 상기 피식각층을 식각하는 단계에서  $\text{SF}_6/\text{N}_2$ 의 혼합 플라즈마를 이용하여 식각하는 것을 특징으로 하는 반도체 장치 제조 방법.

## 【청구항 16】

피식각층 상에 하드마스크용 절연막을 형성하는 단계;

상기 하드마스크용 절연막 상에 하드마스크용 희생막을 형성하는 단계;

상기 하드마스크용 희생막 상에 반사방지층을 형성하는 단계;

상기 반사방지층 상에 포토레지스트를 도포하는 단계;

선택적 노광 및 현상 공정으로 라인 패턴 형성을 위해 제1폭(W1)을 갖는 상기 포토레지스트의 패턴을 형성하는 단계;

상기 포토레지스트의 패턴을 식각마스크로 상기 반사방지층을 식각하는 단계;

상기 포토레지스트의 패턴을 식각마스크로 상기 하드마스크용 희생막을 선택적으로 식각하여 제2폭(W2)을 갖는 희생하드마스크를 형성하는 단계;

상기 포토레지스트 패턴 및 상기 반사방지층을 제거하는 단계;

상기 희생하드마스크를 식각마스크로 상기 하드마스크용 절연막을 식각하되, 식각시 과도식각 타겟을 조절하여 제3폭(W3)을 갖는 하드마스크를 형성하는 단계; 및

상기 희생하드마스크 및 상기 하드마스크를 식각마스크로 상기 피식각층을 식각하여 제4폭(W4)을 갖는 라인 패턴을 형성하는 단계를 포함하며,

상기 제1폭은 상기 제4폭에 비해 적어도 20nm 큰 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 17】

제 16 항에 있어서,

상기 포토레지스트는 ArF 노광원용 포토레지스트 또는 F<sub>2</sub> 노광원용 포토레지스트를 포함하는 것을 특징으로 하는 반도체소자 제조방법.

【청구항 18】

제 16 항에 있어서,

상기 제1폭(W1) 내지 상기 제4폭(W4)은,  $W1 > W2 > W3 > W4$ 의 관계를 갖는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 19】

제 16 항에 있어서,

상기 하드마스크용 희생막은,

폴리실리콘막, Al막, W막, WSix(x는 1 내지 2)막, WN막, Ti막, TiN막, TiSix(x는 1 내지 2)막, TiAlN막, TiSiN막, Pt막, Ir막, IrO<sub>2</sub>막, Ru막, RuO<sub>2</sub>막, Ag막, Au막, Co막, Au막, TaN막, CrN막, CoN막, MoN막, MoSix(x는 1 내지 2)막, Al<sub>2</sub>O<sub>3</sub>막, AlN막, PtSix(x는 1 내지 2)막 및 CrSix(x는 1 내지 2)막으로 이루어진 그룹으로부터 선택된 적어도 어느 하나의 박막을 포함하

는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 20】

제 16 항에 있어서,

상기 반사방지층은 유기 계열인 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 21】

제 18 항에 있어서,

상기 반사방지층을 식각하는 단계에서,  $\text{Cl}_2/\text{Ar}$ 의 혼합 가스 플라즈마를 사용하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 22】

제 21 항에 있어서,

상기 반사방지층을 식각하는 단계에서,

반응성이온식각 장비에서 상부와 하부에서의 파워를 각각 400W 내지 800W와 70W 내지 130W로 사용하고, 챔버 내의 압력을 6mTorr 내지 12mTorr로 유지하며,  $\text{Cl}_2$ 는 35SCCM 내지 65SCCM, Ar은 20SCCM 내지 50SCCM의 범위로 각각 사용하는 것을 특징으로 하는 반도체 장치 제조 방법.

## 【청구항 23】

기판 상에 텅스텐을 포함하는 전도층을 형성하는 단계;

상기 전도층 상에 하드마스크용 절연막을 형성하는 단계;

상기 하드마스크용 절연막 상에 텅스텐을 포함하는 하드마스크용 희생막을 형성하는 단계;

상기 하드마스크용 희생막 상에 라인 패턴 형성을 위해 제1폭(W1)을 갖는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각마스크로 상기 하드마스크용 희생막을 선택적으로 식각하여 제2폭(W2)을 갖는 희생하드마스크를 형성하는 단계;

상기 포토레지스트 패턴을 제거하는 단계;

상기 희생하드마스크를 식각마스크로 상기 하드마스크용 절연막을 식각하되, 식각시 과도식각 타겟을 조절하여 제3폭(W3)을 갖는 하드마스크를 형성하는 단계; 및

상기 희생하드마스크 및 상기 하드마스크를 식각마스크로 상기 전도층을 식각하여 제4폭(W4)을 갖는 라인 타입의 전도층패턴을 형성하는 단계를 포함하며,

상기 제1폭은 상기 제4폭에 비해 적어도 20nm 큰 것을 특징으로 하는 반도체 장치 제조 방법.

## 【청구항 24】

제 23 항에 있어서,



상기 포토레지스트 패턴은 ArF 노광원용 포토레지스트 또는 F<sub>2</sub> 노광원용 포토레지스트를 사용하여 형성하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 25】

제 23 항에 있어서,

상기 전도층패턴은 비트라인, 워드라인 또는 금속배선 중 어느 하나를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 26】

제 23 항에 있어서,

상기 제1폭(W1) 내지 상기 제4폭(W4)은,  $W1 > W2 > W3 > W4$ 의 관계를 갖는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 27】

제 23 항에 있어서,

상기 희생하드마스크는 상기 전도층을 식각하는 단계에서 제거되는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 28】

제 23 항에 있어서,

상기 전도층은 상기 하드마스크용 희생막과 동일 박막으로 이루어진 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 29】

제 23 항 또는 제 28 항에 있어서,

상기 텅스텐을 포함하는 전도층 및 상기 텅스텐을 포함하는 하드마스크용 희생막은 W막, WSix막 또는 WN막 중 적어도 어느 하나의 박막을 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 30】

제 23 항 또는 제 28 항에 있어서,

상기 하드마스크용 절연막은 산화막 계열 또는 질화막 계열을 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 31】

제 23 항에 있어서,

상기 하드마스크용 절연막과 상기 하드마스크용 희생막 사이에 반사방지층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 32】

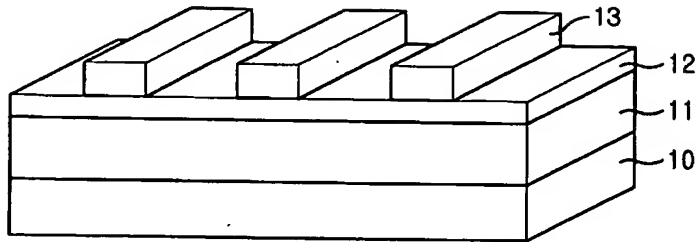
제 23 항에 있어서,

상기 하드마스크용 회생막을 식각하는 단계에서,

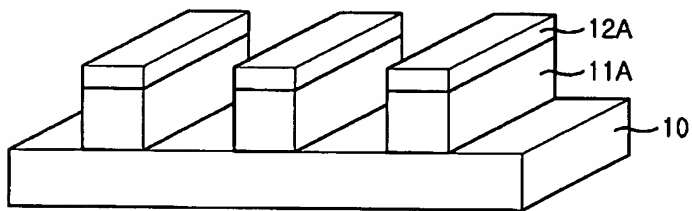
SF<sub>6</sub>와 N<sub>2</sub>가 F<sub>6</sub>/N<sub>2</sub>의 혼합 플라즈마를 이용하며, 반응성이온식각 장비에서 상부와 하부에  
서의 파워를 각각 450W 내지 850W와 30W 내지 60W로 사용하고, 챔버 내의 압력을 8mTorr 내지  
16mTorr로 유지하며, SF<sub>6</sub>는 7SCCM 내지 13SCCM, N<sub>2</sub>는 10SCCM 내지 20SCCM의 범위로 각각 사용  
하는 것을 특징으로 하는 반도체 장치 제조 방법.

【도면】

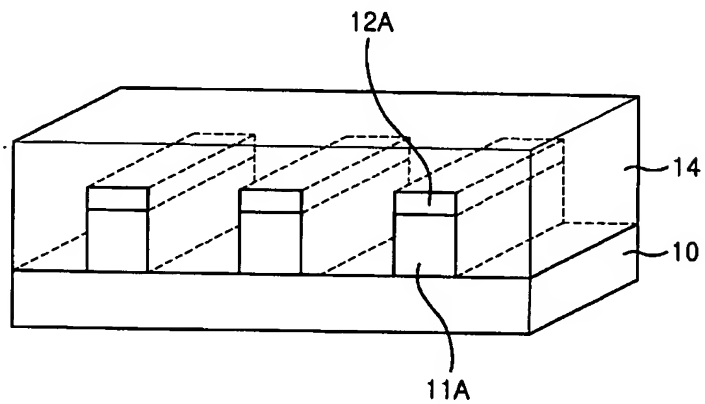
【도 1a】



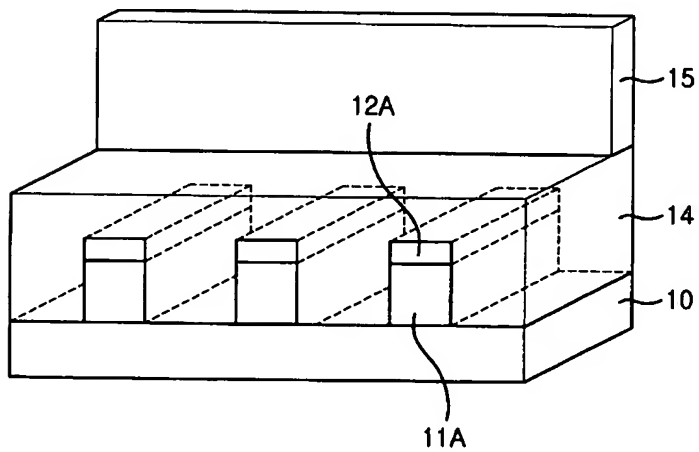
【도 1b】



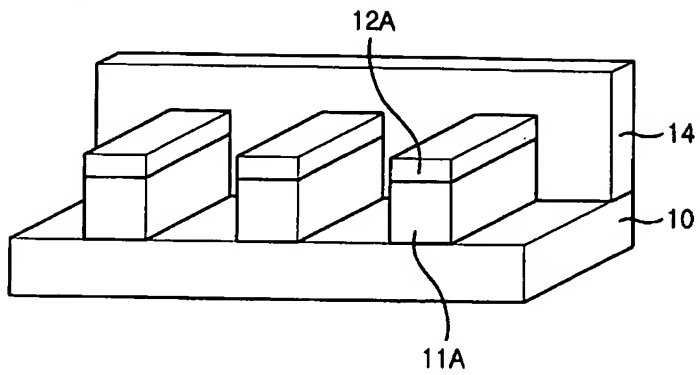
【도 1c】



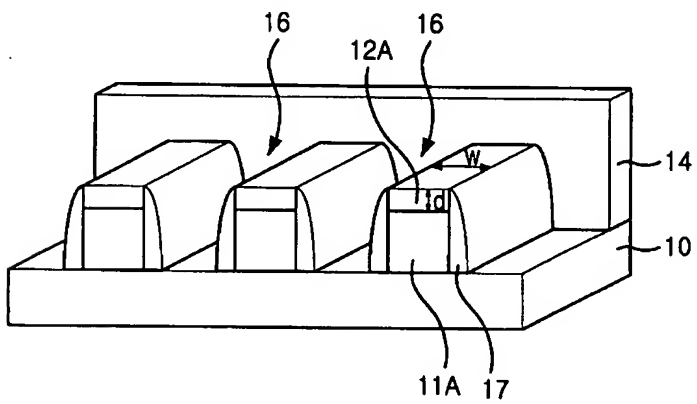
【도 1d】



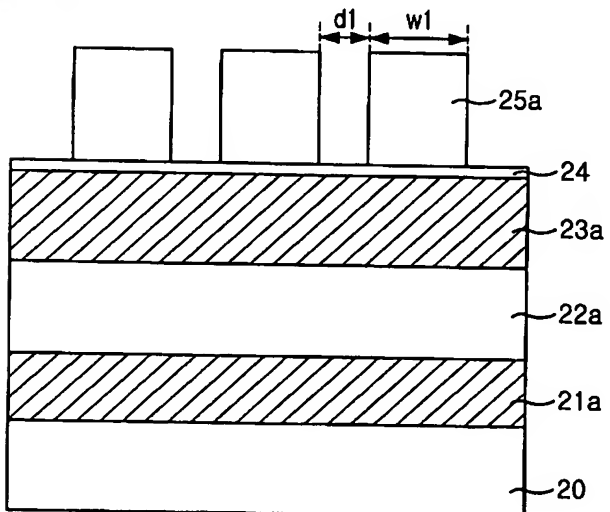
【도 1e】



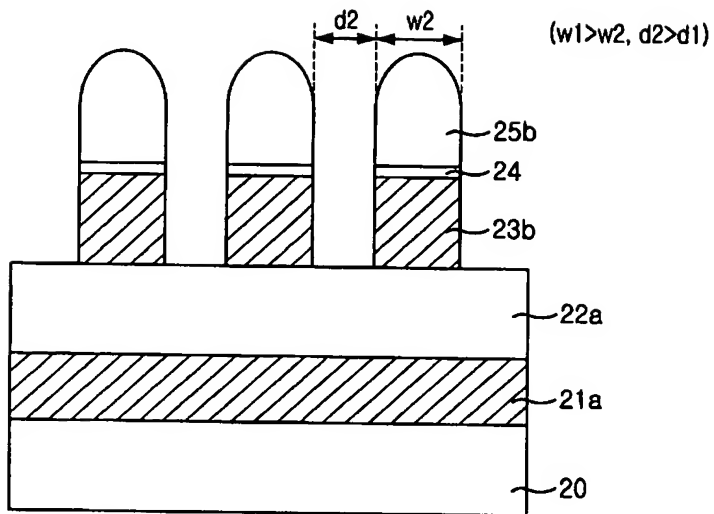
【도 1f】



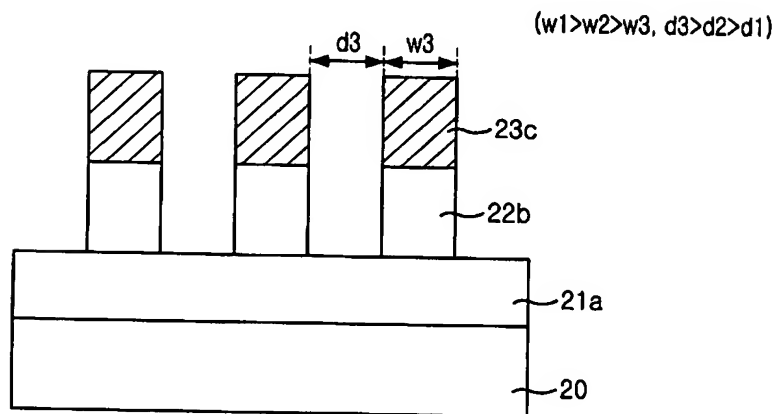
【도 2a】



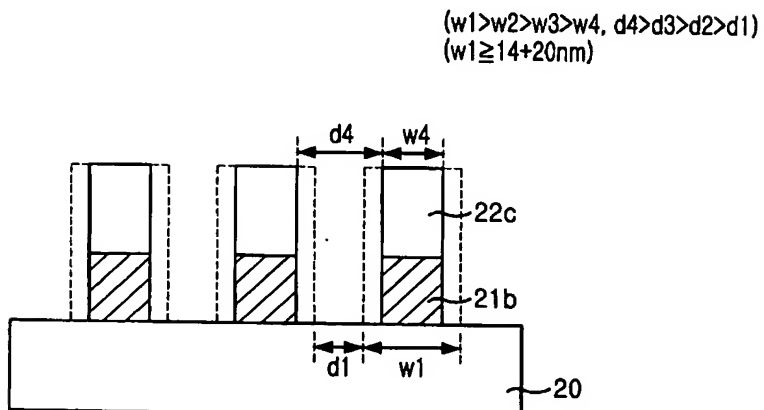
【도 2b】



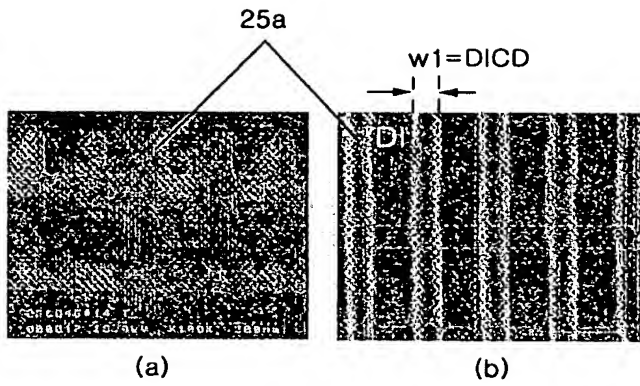
【도 2c】



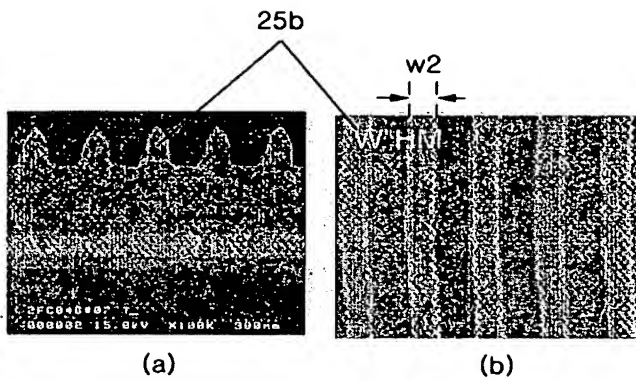
【도 2d】



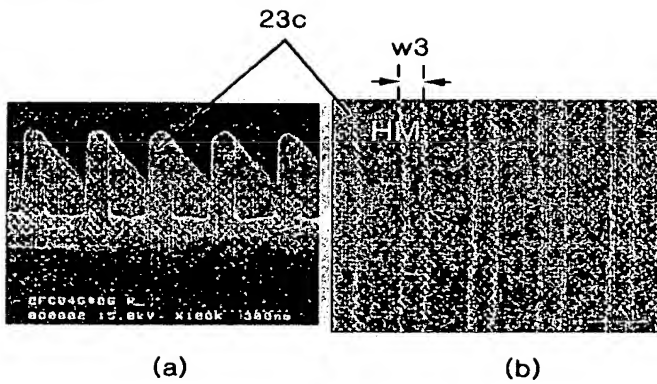
【도 3a】



【도 3b】

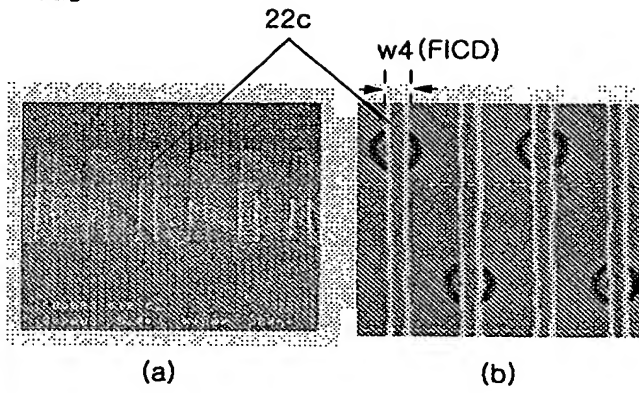


【도 3c】



BEST AVAILABLE COPY

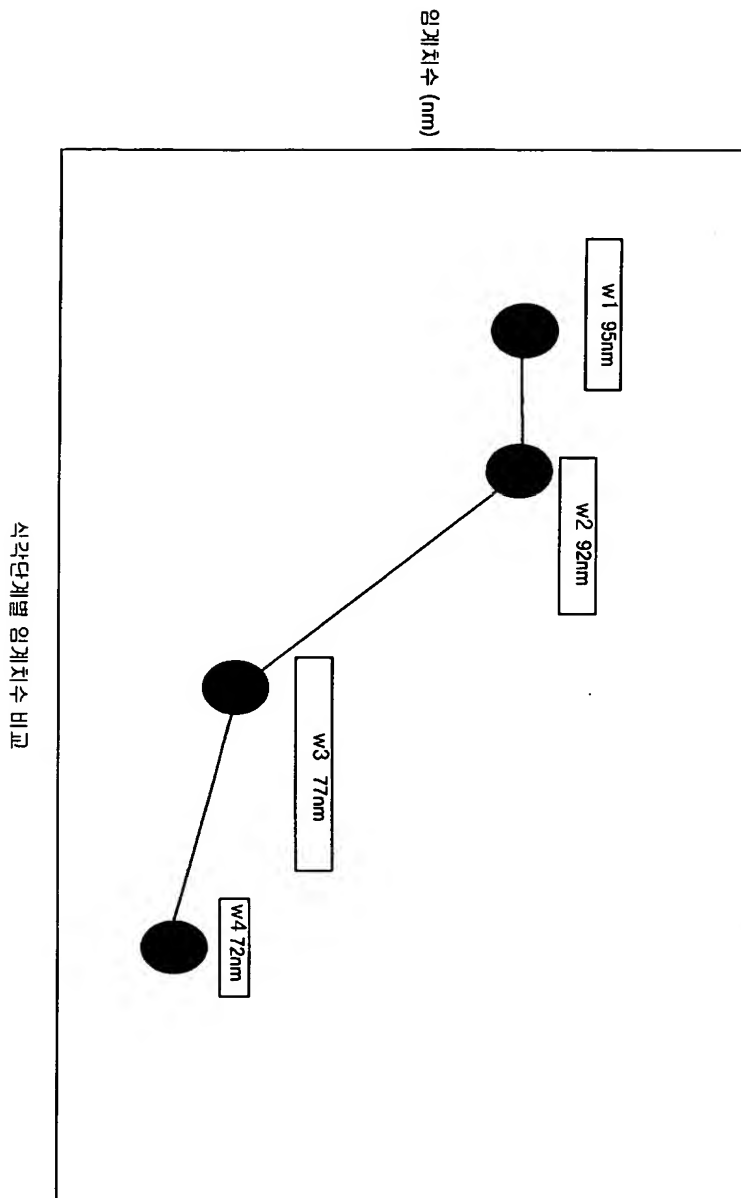
【도 3d】



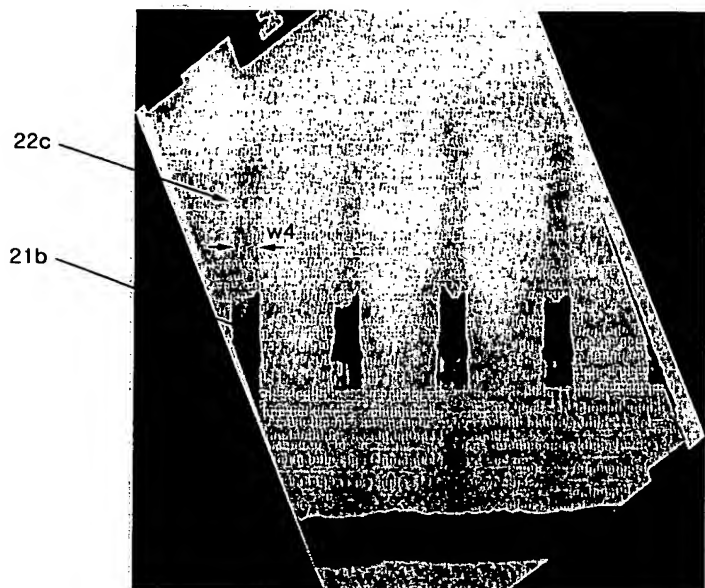
BEST AVAILABLE COPY



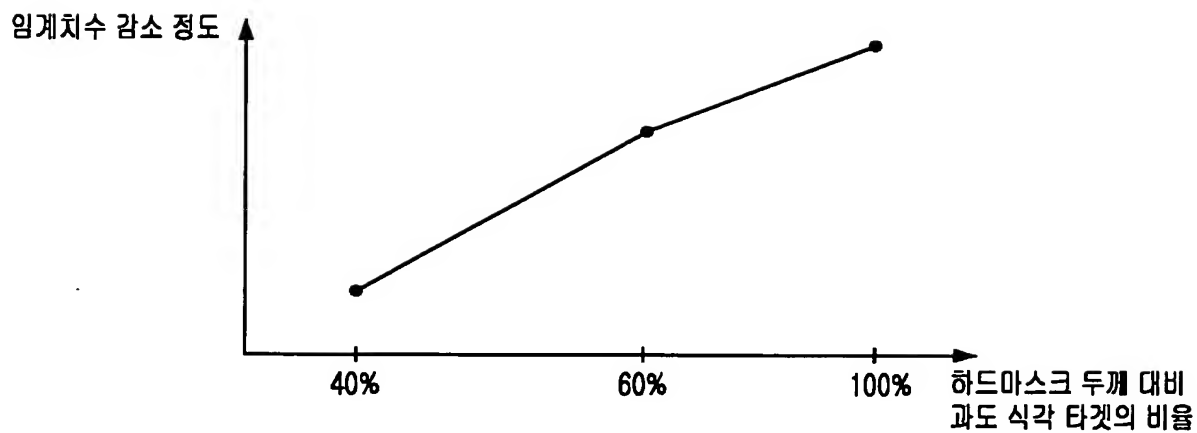
【도 4】



【도 5】



【도 6】



BEST AVAILABLE COPY